

(43)公開日 平成6年(1994)10月28日

技術表示箇所

M

V

審査請求 未請求 請求項の数10 F D (全 27 頁)

(71)出願人 000003115

東京都中央区八重洲2丁目7番2号

(71)出願人 392012434

東京都新宿区下落合 2 丁目18番17号

神奈川県大和市上草柳字扇野338番地 1

東洋電機製造株式会社技術研究所内

神奈川県大和市上草柳字扇野338番地 1

東洋電機製造株式会社技術研究所内

(74)代理人 弁理士 玉蟲 久五郎

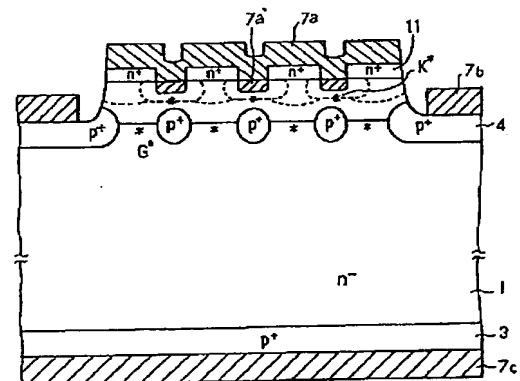
[最終頁に続く](#)

(54)【発明の名称】 静電誘導ショットキー短絡構造を有する静電誘導型半導体素子

(57) 【要約】

【目的】 本発明の目的は、静電誘導型素子のターンオフスイッチング性能において、蓄積時間、下降時間の短縮並びにゲート電極よりの引き出し電荷量を従来に比べ大幅に低減化し、ターンオフ性能の優れ、使い易い、静電誘導効果により制御可能なショットキー障壁をカソード電極近傍に具えた静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することにある。

【構成】 ターンオフ時のゲート引き抜き電荷量の一部をカソードもしくはソース電極からも容易に引き抜けるように、主電極領域を相対的に不純物密度の高い領域と相対的に不純物密度の低い領域から形成し、かつ相対的に不純物密度の高い領域に挟まれた相対的に不純物密度の低い領域に主電極とショットキー接触した静電誘導ショットキー短絡領域を設定した構成を有する。



1 ... n^- 基底層 11 ... n^+ カソード領域
3 ... p^+ アノード領域
4 ... p^+ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
 K^* ... イントリンシックカソード点
 G^* ... イントリンシックゲート点
7a' ... ショットキーカソード電極

本発明の第6の実施例としての静電誘導シヨットキー回路構造を有する
静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面状態図

【特許請求の範囲】

【請求項 1】 高抵抗層領域の第 1 の主表面に形成された第 1 の主電極領域と、

前記高抵抗層領域の第 1 もしくは第 2 の主表面に形成された第 2 の主電極領域と、

前記第 1 の主電極領域の近傍に形成された制御領域とを具備し、

前記制御領域は前記高抵抗層領域内にチャネル領域を形成するとともに第 1 の主電極領域と第 2 の主電極領域間を導通する主電流を該チャネル領域に形成された電位障壁高さを制御することによって制御する静電誘導型半導体素子において、

第 1 の主電極領域は相対的に不純物密度の高い領域と相対的に不純物密度の低い領域とが互いに分布された構造を具え、かつ第 1 の主電極領域に接触する主電極は上記相対的に不純物密度の高い領域とはオーミック接合を形成して接触し、かつ相対的に不純物密度の低い領域とはショットキー接合を形成して接触し、前記制御領域と前記主電極間の相対的に不純物密度の低い領域は実質的に空乏化されて、前記ショットキー接合の電位障壁高さは前記制御領域の電位によって静電誘導効果によって制御可能であることを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 2】 前記第 1 の主電極領域の内、相対的に不純物密度の高い領域と相対的に不純物密度の低い領域とは、互いに同一導電型であり、かつ前記制御領域とは反対導電型であることを特徴とする請求項 1 記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 3】 前記第 1 の主電極領域の内、前記相対的に不純物密度の低い領域は前記相対的に不純物密度の高い領域とは反対導電型であり、かつ前記制御領域とは同一導電型であることを特徴とする請求項 1 記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 4】 前記第 1 の主電極領域に接触する電極構造において、前記相対的に不純物密度の低い領域と接触する部分の電極材料は Al、Mo、W、Pt、Ti、Ni もしくはこれらと Si との合金もしくはシリサイド層からなることを特徴とする請求項 1 乃至請求項 3 の内、いずれか 1 項記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 5】 前記第 1 の主電極領域の内、前記相対的に不純物密度の高い領域は互いに分割された分布構造を有することを特徴とする請求項 1 乃至請求項 4 の内、いずれか 1 項記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 6】 前記制御領域は埋込み構造を有することを特徴とする請求項 1 乃至請求項 5 の内、いずれか 1 項記載の静電誘導ショットキー短絡構造を有する静電誘導

型半導体素子。

【請求項 7】 前記制御領域は切込み構造を有することを特徴とする請求項 1 乃至請求項 5 の内、いずれか 1 項記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 8】 前記制御領域は平面型構造を有することを特徴とする請求項 1 乃至請求項 5 の内、いずれか 1 項記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 9】 前記静電誘導型半導体素子は静電誘導サイリスタであることを特徴とする請求項 1 乃至請求項 8 の内、いずれか 1 項記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【請求項 10】 前記静電誘導型半導体素子は静電誘導トランジスタであることを特徴とする請求項 1 乃至請求項 8 の内、いずれか 1 項記載の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電力用半導体素子の分野に関し、特に、静電誘導型素子のターンオフスイッチング性能において、蓄積時間、立下り時間の短縮化並びにゲート電極よりの引き出し電荷量を従来に比べて大幅に低減化し、ターンオフ性能が改善される、分布型主電極構造を有する静電誘導型半導体素子において、更にターンオフ引き出し電荷量が低減化されるとともに、主電極のショットキー接合高さの制御により主電極領域からの電子注入量を増大する静電誘導ショットキー短絡構造を有する静電誘導型半導体素子に関する。

【0002】

【従来の技術】従来静電誘導型半導体素子のスイッチング性能を改善させるための構造的な工夫は各種提案されている。第 1 の従来例として埋込み構造を有する静電誘導トランジスタや静電誘導サイリスタに対して、ゲートソース間もしくはゲートカソード間の入力容量を低減化させるためと、ソース領域もしくはカソード領域からの電子注入効率を高めるための構造が、既に西澤、玉蟲により特開平 1-91474 号公報に開示されている。図 35 は上記第 1 の従来例の模式的断面構造図である。図 35 において 1 は n^- 高抵抗層であり、3 はアノード領域、4 はゲート領域、5 はチャネル領域、11 はカソード領域である。

【0003】第 1 の従来例は、埋め込みゲート間に形成されるチャネルの上方にのみカソードまたはソースとなる半導体領域を設けて、ゲートカソード間またはゲートソース間の容量を小さくすることによりチャネル電流を低減することなくスイッチング速度を向上させたものである。

【0004】カソード領域またはソース領域となる高不純物濃度の半導体領域を、埋め込みゲート間に形成され

るチャネル領域の上方にのみ配設したので、ゲートとカソード領域またはソース領域間の接合容量は従来よりも減少する。従って、ゲート抵抗と前記接合容量の積から成る時定数は従来よりも小さくなり、ゲート-カソード間電圧またはゲート-ソース間電圧がゲート電極から離れたゲートに伝播する速度は従来よりも速くなる。この結果、ターンオン時間、ターンオフ時間は減少し、高速スイッチングが可能となる。

【0005】更に第2の従来例を図36に示す。図36は川村、森川により発明され特開昭4-257266号公報において開示された静電誘導サイリスタの断面構造図である。図36において1は n^- 高抵抗層、3は p^+ アノード領域、4はゲート領域、6は n^+ 短絡層、7aはカソード電極、7bはゲート電極、7cはアノード電極、11は n^+ カソード領域、13は p^+ 短絡層である。図36に示した発明の目的は、カソード短絡構造を用いたSIサイリスタのカソード面積利用率を向上することによりターンオフ特性に優れ、かつ電流容量及び耐電圧に優れたSIサイリスタを提供することにある。

【0006】 n^- 高抵抗層(n^- ベース層)の一方の主面に n^+ カソード層と p^+ 短絡層とを有する静電誘導サイリスタにおいて、前記 n^- ベース層内に p^+ ゲート層を複数に分割して主面と平行な方向に配列して埋め込み、前記 n^+ カソード層は、前記 p^+ ゲート層間のチャネル領域に対向した位置に形成され、かつ前記 p^+ 短絡層は、前記分割された p^+ ゲート層の少なくともその一部と対向する位置に形成されたことを特徴とする静電誘導サイリスタとしての構成を有する。

【0007】即ち、SIサイリスタの p^+ ゲート層4を埋め込み構造として形成し、SIサイリスタのカソード面において p^+ 短絡層13を上記ゲート層の上面に形成

し、他の領域を n^+ カソード層11とした。従って、カソード面の主電流通路となる領域が n^+ カソード層11となり、実効的な面積利用率を高くする構成となっている。

【0008】更に第3の従来例を図37に示す。図37は村岡により発明され、特開昭60-152063号公報において開示された静電誘導サイリスタの一例の断面構造図である。図37において、1は n^- 高抵抗層であり、1aは基盤、1bはエピタキシャル層である。3は第2高濃度層(p^+ アノード領域)、4はゲート領域、7aはカソード電極、7bはゲート電極、7cはアノード電極、11は第1高濃度層(n^+ カソード領域)、12は支持電極、14及び14'は絶縁層である。上記発明は、 p^+ 埋込みゲート領域4がカソード領域及びアノード領域と対向する部分に形成される寄生バイポーラトランジスタの効果を低減化させ、寄生バイポーラトランジスタによる再点弧の防止、ターンオフ直後の $d v / d t$ 耐量の向上、高周波動作時のターンオン時のゲート損失の改善を図ることを目的としている。

【0009】上記第3の従来例の発明の目的は上述した如き従来の静電誘導サイリスタが有する寄生効果を除去すると共に、製造歩留りを著しく向上させた新しい構造の静電誘導サイリスタを提供することにある。

【0010】上記目的の達成を図るため、上記第3の従来例の発明によれば、前述の第1高濃度層を、埋込ゲート領域から半導体層の側面を該側面に垂直な方向にみて、この埋込ゲート領域の真上の領域は第1高濃度層の接合深さを浅く、これ以外のこの半導体層には第1高濃度層の接合深さを深く設けている。

【0011】

$d v$

このように構成すれば、ターンオフ直後の——耐量を所要の高い値に保つ

$d t$

ことができ、高周波動作時のターンオン時のゲート損失を小さくできしかも製造歩留りを著しく向上させることができる。

【0012】上記第3の従来例の発明の実施に当ってはさらに前述の第2高濃度層を、埋込ゲート領域から半導

$d v$

オフ直後の——耐量をさらに高める効果が得られる。

$d t$

【0013】さらに上記第3の従来例の発明の実施に当っては、上述した構成の静電誘導サイリスタの各々において、上述したゲート領域の真下の領域とアノード電極との間に絶縁膜を設けてもよい。このように構成すれば、上述した諸効果を一層高めることができる。

【0014】しかるに本発明者は第2の従来例と同様の構造において、ターンオフ時において p^+ 埋込みゲート領域4と p^+ 短絡層13とが短絡し、余分な正孔が p^+

体層の他側面を該他側面に垂直な方向にみて、この埋込ゲート領域の真下の領域は第2高濃度層の接合深さを浅くこれ以外のこの半導体層には第2高濃度層の接合深さを深く設けてもよい。このように構成すれば、ターン

短絡層13から n^- 高抵抗層領域1に注入されるため、ゲート電極7bからの引き抜き電荷量が增大されるとい現象を見出した。そのため、ターンオフ時間が増大するという逆の効果を見出した。

【0015】一方、第1の従来例については寄生容量の低減化を主目的としておりカソード電極の配置については何ら言及されていないため、ターンオン時の正孔の流れ、及びターンオフ時の正孔の流れについては未確定で

あり、後述する本発明における正孔の引き抜き量の低減効果についても言及されていなかった。更に第3の従来例においても同様に寄生バイポーラトランジスタ及び寄生ダイオードの効果の低減化を主目的としており、ターンオン時、ターンオフ時の正孔の動きについては何ら言及されていないため、ターンオフ時の正孔の引き抜き量の低減効果も見出されていなかった。

【0016】更に本発明者は埋込みゲート構造を有する静電誘導素子において n^+ カソード領域を形成した領域直下の埋込み拡散層(p^+ ゲート領域)は拡散が速く、同じ熱処理時間でも広い領域まで拡散されるのに対して、 n^+ カソード領域を形成していない領域の直下の埋込み拡散層(p^+ ゲート領域)は相対的に拡散が遅く、同じ熱処理時間でもあまり広い領域まで拡散されないという実験結果を見出した。即ち図38は上記事情を説明する模式的断面構造図であって、 n^+ カソード領域直下の p^+ 埋込み層は大きく広がっているのに対して、 n^+ カソード領域が形成されていない領域直下の p^+ 埋込み層は相対的に広がりも小さいという様子を模式的に示している。図38から明らかな点は、ゲート-カソード間の距離に埋込み層の部分によってばらつきが生ずることである。これによって静電誘導サイリスタを構成する各々のセグメント内においても p^+ ゲート領域と n^+ カソード間の耐圧にばらつきが生じやすいということも明らかである。特に n^+ カソード領域直下の p^+ ゲート領域は n^+ カソード領域の方向にも速く広がるため、実質的なゲート-カソード間の距離が減少するため、ゲート-カソード間の耐圧はこの部分で決定されるということにもなる。従って、所定の耐圧を得るための条件設定を正確に把握する必要があり、またセグメント内、セグメント間で耐圧ばらつきを抑える必要が生ずる。

【0017】上記従来例1~3においても上述の拡散ばらつきに伴う耐圧のばらつきを抑制するためのカソードレイアウト配置パターンについて何ら提案されていなかった。その理由は従来カソード領域は主として一様に形成されることが多く、本発明の如く分布型構造として非一様、非均一に形成されていなかったためである。

【0018】図39はカソード領域が一様に均一に形成された従来の埋込みゲート構造を有する静電誘導サイリスタの単位セグメント部分の長手方向及び横断方向の模式的素子断面構造図及び上面図である。

【0019】図39により明らかな如く、カソード電極7aは n^+ カソード領域11の上部に、カソード領域11内に納まるように配置されており、 n エピタキシャル層10には接触してはいない。図40はこのような従来構造を有するSIサイリスタの1200V-100Aにおける典型的なスイッチング波形の例である。図40において、 I_T はアノード電流波形、 V_D はアノード電圧波形、 I_{GP} はゲートピーク電流値、 I_{RG} はゲート電流波形、 V_{RG} はゲート電圧波形を示す。

【0020】図40の波形において、オン期間 t_0 、蓄積期間 t_1 、下降(フォール)期間 t_2 、及びテイル期間 t_3 に分けてそれぞれSIサイリスタの素子構造内において、正孔、及び電子がどのように動くかを模式的に示した図を図41乃至図44に示す。即ち、図41はオン期間 t_0 、図42は蓄積期間 t_1 、図43は下降(フォール)期間 t_2 、図44はテイル期間 t_3 に対応している。図41乃至44において白丸(○)は正孔を模式的に示し、黒丸(●)は電子を模式的に示している。

【0021】 t_0 期間中では、ゲートカソード間の順バイアスが印加され続けていなくても、電子はカソードからアノードに流れ、正孔はアノードからチャネルもしくはゲートを介してカソードに流れている(図41)。ゲート-カソード間に逆バイアスが印加されると、アノードからの正孔電流はゲートに流入し、またゲート近傍のチャネル部分及びゲート-カソード間の n エピタキシャル層内に分布する正孔も逆バイアスに引っ張られてゲートに流入する。一方、電子はカソードからアノードに流れ続けているが、チャネル内の電位障壁高さが逆ゲートバイアスによって高められるにつれてその一部分はカソード領域に再流入する。 t_1 期間中において、アノードからゲートに流入する正孔電流を i_{ha} 、その電荷量を Q_{ha} 、チャネル近傍及びゲート-カソード間の n エピタキシャル層からゲート流入する正孔電流を i_{hb} 、その電荷量を Q_{hb} 、また上述の如く、カソード領域に再流入する電子電流を i_e 、その電荷量を Q_e として図42中において表わしている。

【0022】ゲート引き抜き電荷量を評価すると、1250V-300Aの遮断時において、

【0023】

【数1】 $Q_{ha} + Q_{hb} + Q_e = 456.6 (\mu C)$

【0024】であった。この値は従来構造のSIサイリスタのL負荷時のスイッチング波形から求めた値である。

【0025】ゲート-ゲート間に空乏層が広がり、チャネル内に十分に高い電位障壁が形成されると、カソード領域からの電子の注入は停止し、 t_2 期間、即ち、下降期間に入る(図43)。

【0026】更に図44はテイル期間(t_3 期間)に対応しており、テイル電流が流れる様子を示している。

【0027】従来構造を有するSIサイリスタの問題点は、上記 $Q_{ha} + Q_{hb} + Q_e$ の値が極めて大きい点である。即ち、ゲートから引き抜くべき電荷量が極めて大きいという点である。特に重要な点は Q_{hb} が大きい点である。このようにゲート引き抜き電荷量が大いことからゲート駆動回路が大きくなり、またサイリスタのスイッチング速度の高速化のための障害ともなっていた。また高温時のターンオフ損失の増大に伴ない、素子破壊の原因にもなっていた。

【0028】

【発明が解決しようとする課題】本発明の目的は、静電誘導型半導体素子のターンオフスイッチング性能において、蓄積時間、下降時間を短縮化し、並びにゲート電極よりの引き出し電荷量を従来に比べ大幅に低減化し、ターンオフ性能の優れ、使い易い、分布型主電極構造を有する静電誘導型半導体素子において更にターンオフ引き出し電荷量を低減化するとともに、主電極のショットキー接合高さの制御により、主電極領域からの電子注入量を増大化した静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することにある。

【0029】更に本発明の目的の1つはゲートソース間もしくはゲートカソード間の耐圧のばらつきを抑え、一様化されるとともに、ショットキー接合部からの電子注入を引き起こす静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することを目的とする。

【0030】更に本発明の目的の1つは上記ゲートソース間もしくはゲートカソード間の耐圧ばらつきの一様化、均一化のためにソースもしくはカソードのレイアウトにおいて、拡散後の距離的不均一を極めて抑制するとともに、ショットキー接合部からの電子注入を引き起こす静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することにある。

【0031】更に具体的に本発明の目的の1つはターンオフ時のゲート引き抜き電荷量の一部分をカソードもしくはソース電極からも有効に引き抜けるとともにショットキー接合部からの電子注入を引き起こす静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することにある。

【0032】更に具体的に本発明の目的の1つはターンオフ時のゲート引き抜き電荷量の一部分をカソードもしくはソース電極からも容易に引き抜けるようにカソード領域もしくはソース領域に分布構造を設けかつ制御領域の電位によってショットキー障壁高さを静電誘導効果によって制御できる静電誘導ショットキー短絡構造を設けたことを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することにある。

【0033】更に具体的に本発明の目的の1つはターンオフ時のゲート引き抜き電荷量が有効に低減化されることによってゲート駆動回路が簡単化され使い勝手が良く、かつターンオン性能が更に改善された静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することにある。

【0034】更に具体的に本発明の目的の1つはゲート引き抜き電荷量の低減化により、高温時のゲート損失破壊耐量が向上するとともに、ショットキー接合部からの注入量の増大により、ターンオン特性、オン電圧特性が改善された静電誘導ショットキー短絡構造を有する静電誘導型半導体素子を提供することにある。

【0035】

【課題を解決するための手段】本発明は、静電誘導型サイリスタもしくはトランジスタにおいて、カソードあるいはソース金属電極が半導体基板に接する面でカソード拡散層あるいはソース拡散層の他にチャンネルの形成される基板面にも渡り接触形成される分布型主電極構造を有する素子構造を有し、更に、カソード拡散層あるいはソース拡散層に囲まれた静電誘導ショットキー短絡構造を有する。

【0036】静電誘導ショットキー（カソードもしくはソース）短絡構造とは静電誘導効果によるショットキー短絡構造をカソード領域もしくはソース領域において実現したものをいう。具体的には分布型主電極構造において相対的に不純物密度の高い領域により囲まれた相対的に不純物密度の低い領域に主電極とショットキー接触するショットキー接合を形成し、ショットキー短絡領域を形成する。上記主電極領域とショットキー短絡領域は主電極によって短絡されている。前記ショットキー短絡領域は相対的に不純物密度の高い領域から相対的に不純物密度の低い領域に広がる空乏層によって囲まれている。ショットキー短絡領域と制御領域間には静電誘導効果により高さが制御される電位障壁が存在する。従って、制御領域であるゲートとショットキー短絡領域間を流れるキャリアは静電誘導効果による電位障壁制御を受ける。このようなショットキー短絡領域を設けることによって少数キャリアを主電極にバイパスする効果を高めることができる。主電極からのショットキー接合部における電子注入量を増大化することができる。

【0037】更にまた耐圧ばらつきを抑制するためにカソード拡散層もしくはソース拡散層を分布配置させた分布型主電極構造において、上記静電誘導ショットキー短絡構造を有する。

【0038】ターンオフ時のゲート引き抜き電荷量の一部分をカソード電極もしくはソース電極からも容易に引き抜けるように、主電極領域を相対的に不純物密度の高い領域と相対的に不純物密度の低い領域から形成し、かつ相対的に不純物密度の低い領域の一部分にショットキー短絡領域を設けてカソード電極もしくはソース電極と接触して電極構造を形成している。上記相対的に不純物密度の低い領域は、ゲート領域から引き抜くはずの少数キャリアのバイパス用の云わば導通チャネルとなり、上記ショットキー短絡領域は云わばドレインとなり、一部分の少数キャリアがカソード電極もしくはソース電極からも引き抜きやすい効果を更に高めた構成となっているとともに、制御電極の電位によってショットキー障壁高さが静電誘導効果によって制御されるため、主電極からの電子注入量を増大することもできる構成となっている。

【0039】分布型主電極構造とは、主電極領域の不純物密度が一様、均一に形成されず、非一様に不均一に分布形成された構造を云い、例えば相対的に不純物密度の

高い領域と相対的に不純物密度の低い領域が分布形成された構造を含む。或いはまたこれらの両領域は互いに同一導電型であっても、或いは反対導電型であってもよい。カソード電極もしくはソース電極等の電極構造は、両領域に少なくとも一部分において接触している。要は少数キャリアの導通チャネルを主電極領域にも設定した構造である。

【0040】これに対して、静電誘導ショットキー短絡構造とは上記分布型主電極構造において更にショットキー短絡構造を設け、しかもショットキー短絡領域に流入するキャリアを静電誘導効果による電位障壁制御により制御する構造であり、ショットキー短絡領域を設けることで更に少数キャリアの吸収効果を高めかつ、主電極からの多数キャリア（電子）の注入量を高めた構造である。

【0041】従って、本発明の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の構成は以下に示す通りである。即ち、高抵抗層領域の第1の主表面に形成された第1の主電極領域と、前記高抵抗層領域の第1もしくは第2の主表面に形成された第2の主電極領域と、前記第1の主電極領域の近傍に形成された制御領域とを具備し、前記制御領域は前記高抵抗層領域内にチャネル領域を形成するとともに第1の主電極領域と第2の主電極領域間を導通する主電流を該チャネル領域に形成された電位障壁高さを制御することによって制御する静電誘導型半導体素子において、第1の主電極領域は相対的に不純物密度の高い領域と相対的に不純物密度の低い領域とが互いに分布された構造を具え、かつ第1の主電極領域に接触する主電極は上記相対的に不純物密度の高い領域とはオーミック接合を形成して接触し、かつ相対的に不純物密度の低い領域とはショットキー接合を形成して接触し、前記制御領域と前記主電極間の相対的に不純物密度の低い領域は実質的に空乏化されて、前記ショットキー接合の電位障壁高さは前記制御領域の電位によって静電誘導効果によって制御可能であることを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0042】或いはまた、前記第1の主電極領域の内、相対的に不純物密度の高い領域と相対的に不純物密度の低い領域とは、互いに同一導電型であり、かつ前記制御領域とは反対導電型であることを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0043】或いはまた、前記第1の主電極領域の内、前記相対的に不純物密度の低い領域は前記相対的に不純物密度の高い領域とは反対導電型であり、かつ前記制御領域とは同一導電型であることを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0044】或いはまた、前記第1の主電極領域に接触

する電極構造において、前記相対的に不純物密度の低い領域と接触する部分の電極材料はAl, Mo, W, Pt, Ti, NiもしくはこれらとSiとの合金もしくはシリサイド層からなることを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0045】或いはまた、前記第1の主電極領域の内、前記相対的に不純物密度の高い領域は互いに分割された分布構造を有することを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0046】或いはまた、前記制御領域は埋込み構造を有することを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0047】或いはまた、前記制御領域は切込み構造を有することを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0048】或いはまた、前記制御領域は平面型構造を有することを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0049】或いはまた、前記静電誘導型半導体素子は静電誘導サイリスタであることを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0050】或いはまた、前記静電誘導型半導体素子は静電誘導トランジスタであることを特徴とする静電誘導ショットキー短絡構造を有する静電誘導型半導体素子としての構成を有する。

【0051】

【作用】静電誘導サイリスタを例として、従来構造と比較しながら本発明による静電誘導主電極短絡構造を有する静電誘導型半導体素子の動作原理を説明する。

【0052】図27乃至図34は本発明の静電誘導ショットキー（カソード）短絡構造を有する静電誘導サイリスタの動作原理を説明するための図であって、図27は後述する図1に図示する実施例1と同様の構造例であるが、カソード電極7aが一部n型領域10にも接触している例である。静電誘導ショットキーカソード短絡と分布型カソード構造を組み合わせた形状となっている。図28乃至図31はそれぞれオン期間（ t_0 期間）、蓄積期間（ t_1 期間）、下降期間（ t_2 期間）、テイル期間（ t_3 期間）におけるキャリアの動きを説明する図である。また図32乃至図34はカソード近傍における構造と対応するポテンシャル分布の模式図であって正孔がカソード電極に抜けやすい構造であること及びショットキー障壁高さを制御領域の電位によって静電誘導効果によって制御可能であることを示している。

【0053】本発明の動作原理を説明する図17乃至図20は従来構造の動作原理を説明した図28乃至図31にそれぞれ対応している。

【0054】従来構造と比較すると分布型カソード構造と静電誘導ショットキー短絡の効果により、本発明の方が高速化され、またターンオフ時ゲートピーク電流値 I_{GP} も低減化され、かつターンオフ時ゲート引き抜き電荷量も小さい。更にまた、ターンオン時にはショットキー障壁高さが低下するため主電極であるカソード電極からの多数キャリア（電子）の注入量も増大し、ターンオン遅延時間（ t_d ）、ターンオン立上り時間（ t_f ）を低減化し、かつオン電圧 V_T を低下させる作用がある。

【0055】図28と図41を比較すると、オン期間（ t_0 期間）におけるキャリアの動きに大きな差があることがわかる。本発明においてはカソード電極（7a, 7a'）がnエピタキシャル層とショットキー接合を形成し、かつ n^+ カソード領域にも接触しているため、オン状態における正孔電流は n^+ カソード領域のみならず、相対的に不純物密度の低いnエピタキシャル層のショットキー接合部分を介してカソード電極に流入する。この時、ショットキー接合界面に少数キャリアが蓄積されやすいことから、ショットキー障壁が引き下げられる。更にゲートの電位によってショットキー障壁高さが引き下げられるため、多数キャリアの注入が主電極から起こる。オン状態では正孔電流はこの相対的に不純物密度の低いnエピタキシャル層のショットキー接合部分を介して実質的にカソード電極に流れやすい。同時にカソード領域のみならずショットキー障壁をこえて電子も注入されやすい。

【0056】本発明の動作上、特徴的な点はオン期間の他に更に図29の蓄積期間（ t_1 期間）のキャリアの動きに現われている。ゲートーカソード間に逆バイアスが印加されると、ゲートのポテンシャル（電位）が上昇し、チャネルの電位障壁高さが上昇するとともに低下されていたショットキー障壁高さが増加する。これに伴ない、ショットキー接合からの電子注入量は減少し、ゲートから正孔が引き抜かれるが、その成分は主としてアノードからの正孔電流 i_{ha} による Q_{ha} のみとなる。ゲート領域近傍及びゲートーカソード間のnエピタキシャル層（10）内に分布された正孔による正孔電流 i_{hb} の成分による Q_{hb} の内、一部分はゲート領域から引き抜かれるが、主として i_{hb} はショットキー短絡領域15及びn型領域10を介してカソード電極に流入することから、ゲート引き抜き電荷とはならない。これは後述する正孔に対するポテンシャル分布から明らかなようにカソード近傍の正孔はnエピタキシャル層に対して形成されたショットキー短絡領域からカソード電極に抜けやすいからである。尚、 i_e 成分については従来例と同様である。

【0057】従って、従来構造では図42に示す如く、ゲート引き抜き電流は $i_{ha} + i_{hb} + i_e$ であり、ゲート引き抜き電荷量は $Q_{ha} + Q_{hb} + Q_e$ であったのに対して、本発明では、それぞれ $i_{ha} - i_{hb} + i_e$

となる。ショットキー短絡領域15を設定しない単なる分布型主電極構造と比較してもゲート引き抜き電荷量は低減化され、ショットキー接合で介する電子注入量の制御性が高い。

【0058】本発明の静電誘導ショットキー短絡構造の導入によって、ターンオフ時ゲート引き抜き電荷量は従来例に比較して相当程度低減化されている。

【0059】図30及び図31に示した下降期間（ t_2 期間）及びテイル期間（ t_3 期間）の動作においてもn型領域10内の正孔はS1ショットキー短絡領域15に蓄積されやすいため、主としてショットキー短絡領域を介してカソード電極（7a, 7a'）に抜けやすい。

【0060】図32乃至図34は本発明の静電誘導（S1）カソード短絡構造を有するS1サイリスタのカソード近傍の構造と対応するポテンシャル分布を模式的に示した図である。A-A'線及びB-B'線に沿って、それぞれ破線及び実線にてポテンシャル分布を示している。ショットキーカソード短絡領域15の前面には正孔に対する電位障壁高さが最も高いイントリンシックカソード点 K^* が存在し、ゲートーゲート間のチャネル領域にはイントリンシックゲート点 G^* が存在して、それぞれ正孔及び電子の流れを制御している。更にショットキー接合部にはショットキー障壁による電位障壁が存在し、正孔の蓄積とともにその高さが低下して電子の注入を引き起こす。図33は順方向ゲートバイアスによってショットキー障壁高さが静電誘導効果によって徐々に低下する様子を示している。ショットキー障壁高さの低下とともに電子注入量が増加する。また蓄積された正孔はカソード電極側に抜けやすくなる。図34は反対に、オン状態から逆方向ゲートバイアスを印加してターンオフに移向する状態を示している。ゲート逆方向バイアスの上昇とともに G^* 点の電位が上昇し、ショットキー障壁高さも静電誘導効果によって上昇し、電子注入が停止する。また正孔もカソード側に抜ける。ポテンシャル分布より明らかなように正孔はカソード電極とnエピタキシャル層のショットキー界面に蓄積されやすいことから、ターンオフ時の i_{hb} 成分は主としてショットキー接合を介してカソード電極に流入しやすい。このため Q_{hb} 成分がターンオフ時ゲート引き抜き電荷から低減化される。

【0061】静電誘導（S1）ショットキー短絡構造が形成される領域には、正孔を積極的に蓄積させて、その蓄積によってショットキー障壁高さが低下する。同時にゲートの静電誘導効果によってもショットキー障壁高さが低下する。それによって、カソード電極7a'からの電子注入が引き起こされる。ゲート領域4はショットキー接合部の電位障壁制御が効率良く行なえるようにするために、ショットキー接合領域近傍に配置されることが望ましい。即ち、S1ショットキー短絡領域15とゲート領域4間のn型領域10は実質的に空乏化されゲート

領域 4 のゲート電位変化によって、静電誘導的にショットキー障壁の高さが制御される。電子注入はショットキー接合部分だけではなくもちろん n^+ カソード領域 11 から引き起こされる。従って、本発明の S I ショットキー短絡構造を有する静電誘導型素子では、S I ショットキー短絡部分からも電子注入が引き起こされる分だけオン状態において、電子を余分に導通させることができる。このことからターンオン遅延時間、ターンオン立上り時間を低減化でき、またオン電圧も低くなる。一方、ターンオフ時においては、正孔はゲート領域 4 及び S I ショットキー短絡領域 15 から引き抜かれる。またカソード電極 (7a, 7a') が n 型領域 10 と直接的に接触している領域からも引き抜かれやすい。S I ショットキー部分のショットキー障壁高さは、正孔がカソード電極に吸収されればされるほど、その高さも上昇し、電子の注入を阻止しやすくなるという特徴もある。

【0062】

【実施例 1】図 1 は本発明の第 1 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。1 は n^- 高抵抗層、3 は p^+ アノード領域、4 は p^+ ゲート領域、7a はカソード電極であってショットキー電極ともなり、7a' もショットキーカソード電極であって、 n 型半導体領域 10 との間に静電誘導ショットキー短絡領域 15 を形成している。11 は n^+ カソード領域である。10 は上述の如く n 型領域であるが、これはエピタキシャル成長等により形成されている。 K^* はイントリンシックカソード点と呼ばれる点であって、S I ショットキー短絡領域 15 に蓄積される正孔に対して電位障壁高さの最も高い点である。 G^* は p^+ ゲート領域 4 に挟まれたチャネル部分の電子に対する電位障壁高さの最高点であり、イントリンシックゲート点と呼ばれる。図 1 の実施例においては、カソード電極は 7a とショットキーカソード電極 7

短絡領域の面積 S_s の割合は、短絡率
$$\left[= \frac{S_s}{S_k + S_s} \right]$$
 として表現され、その

値が 30% 程度以下が望ましいこともわかっている。

【0065】図 1 の例ではカソード電極 7a、ショットキーカソード電極 7a' は、別々の電極材料にて形成する例を示したが、製造面の容易さからは同一の電極材料にて形成してもよいことはもちろんである。

【0066】

【実施例 2】図 2 は本発明の第 2 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図 2 の構造的特徴は埋込みゲート領域 4 に対して n^+ カソード領域 11 が分布して配置された分布カソード構造を有する点である。S I ショットキー短絡領域 15 は n^+ カソード領域 11 に挟まれて配置されている。またカソード電極 7a は同一の電極材料で形成されている。

a' に別々の領域として形成されているが、必ずしもこのような別々の領域として形成されなくてもよい。7a' は n 型領域 10 との間に比較的高いショットキー障壁を形成するのに都合の良い材料が選択される。例えば、Mo, W, Ti, Pt 等の高融点金属もしくはこれらと Si との合金もしくはシリサイドでもよい。7a は n^+ カソード領域 11 とオーテックコンタクト (オーム性接触) を形成する金属であって、例えば Al によって形成する。

【0063】図 1 の構造例から明らかなように、S I ショットキー短絡領域 15 はショットキーカソード電極 7a' と n 型半導体領域 10 との間の界面領域であり、実質的には数 1000 Å 以下の極めて薄い領域である。S I ショットキー短絡領域 15 は望ましくは、 n^+ カソード領域 11 は挟まれて、 n^+ (11) n (10) 接合部分に広がる空乏層によって、取り囲まれているとよい。正孔は S I ショットキー短絡領域 15 に蓄積されやすく、ゲート電位の静電誘導効果によって、ショットキーカソード電極 7a' から S I ショットキー障壁を越えて、電子の注入を引き起こしやすい構成となっている。同時に蓄積された正孔はショットキーカソード電極 7a' に抜けやすい。従って、ターンオフ時のゲート引き抜き電荷量は低減化され、一方オン状態の電子注入量は増大化されている。

【0064】図 1 の例では S I ショットキー短絡領域 15 は埋込み p^+ ゲート領域 4 の上部のみに形成されているが、これに限られるわけではなくチャネル領域の上部に形成されていてもよいことはもちろんである。更にまた n^+ カソード領域 11 の間隔を狭めて、S I ショットキー短絡領域 15 の相対的な面積を変化させてもよいことはもちろんである。例えば、試作結果により、カソード領域の面積 S_k と短

【0067】

【実施例 3】図 3 は本発明の第 3 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図 1 に示した実施例 1 では S I サイリスタのセグメントの横断方向にチャネルを 2 個有し、S I ショットキー短絡構造はセグメントの長手方向にストライプ形状に形成されていたのに対して、図 3 に示した実施例 3 はチャネルは S I サイリスタのセグメントの横断方向に形成され、かつ S I ショットキー短絡構造も p^+ 埋込みゲート領域 4 の上方向のカソード面にセグメントの横断方向に形成されている。実施例 3 はマルチチャネル構造の例である。 n^+ カソード領域 11 はチャネル領域の上方向のカソード面に形成されている。

【0068】図3の例ではカソード電極はショットキー電極としての7a' と n^+ カソード領域11に対するオーミック電極としての7aの互いに接触した2つの材料から形成されている。K* はイントリンシックカソード点、G* はイントリンシックゲート点である。

【0069】

【実施例4】図4は本発明の第4の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。構造的特徴はショットキーカソード電極7a' を段差形状に形成し、これらのショットキーカソード電極7a' に挟まれた領域に n^+ カソード領域11を形成している点である。図4の実施例4では図1に示した実施例1と同様にS1サイリスタのカソードセグメントにおいて、横断方向の断面構造図を示しており、 n^+ カソード領域11はセグメントの長手方向に2本ストライプ状に形成され、同時にショットキーカソード電極7a' もセグメントの両端部分と中央部分に n^+ カソード領域11を挟むようにしてストライプ形状に配置されている。ショットキー接合(7a'- n)によって n 型領域10内に広がる空乏層は n^+ カソード領域11を取り囲むように形成される。ショットキーカソード電極7a' の前面にイントリンシックカソード点K* が形成される。ショットキーカソード電極7a' 近傍には正孔が蓄積されやすいことから、 p^+ ゲート領域4の電位変化に伴って、静電誘導的にショットキー障壁高さが変化してショットキーカソード電極7a' 部分からも電子の注入を引き起こす。一方、ショットキーカソード電極7a' 近傍の正孔はショットキーカソード電極7a' に吸収され従って n^+ カソード領域11と接触するカソード電極7aに吸収される。

【0070】

【実施例5】図5は本発明の第5の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図5の構造的特徴は従来構造の製造プロセスと互換性の良好な構造となっている点である。即ち、従来の埋込みゲートS1サイリスタにおいてはカソード領域11をセグメント全面に形成するのに対して、図5の構造では、 n^+ カソード領域11をセグメントに全面形成後、ドライエッチ等により、 n^+ カソード領域11とほぼ同じ厚さ分、所定の幅だけエッチングし除去後、エッチングで除去された領域上のみ選択的にシリサイド等のショットキーカソード電極7a' をCVD等により形成している。最終的にはカソード面をほぼ平坦化し、 n^+ カソード領域11に対するオーミック用のカソード電極7aを形成している。ショットキーカソード電極7a' の幅は埋込みゲート領域4の幅とほぼ等しく設定して、ゲート領域4の電位変化によるショットキー障壁高さの静電誘導効果による電位障壁高さの制御性を良好にしている。

【0071】

【実施例6】図6は本発明の第6の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図6の構造的特徴は、実施例5の構造よりも更にショットキーカソード電極7a' をゲート領域4に近付けて形成して、ゲート領域4の電位によるショットキー障壁高さの制御性を高めている点にある。即ち、図6では、 n^+ カソード領域11をカソードセグメント全面に形成後所定の幅だけドライエッチング等でエッチングする際にエッチング深さを n^+ カソード領域4の厚さ分よりも深くエッチングして、そのエッチング溝の底部にショットキーカソード電極7a' を形成している。最終的には n^+ カソード領域11に対するオーミック用のカソード電極7aを形成している。イントリンシックカソード点K* の電位を p^+ ゲート領域4の電位により制御して、ショットキー障壁高さの制御性を良好にしている。ショットキーカソード電極7a' の材料としてはMo, Ti, W, PtもしくはこれらとSiとの合金もしくはシリサイド等が望ましいが、カソード電極7aと同一材料のAlであってもよい。

【0072】

【実施例7】図7は本発明の第7の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図7の構造的特徴は、 n^+ カソード領域11に挟まれた n 型領域10の表面層部分に浅くショットキー障壁高さの調整用のための p^- 層16を設けた点である。ショットキー障壁高さはカソード電極7aの電極材料と半導体側の導電型及び不純物密度により決定されるため、 p^- 層16をショットキーポテンシャルの及ぶ範囲程度まで浅く形成することによって、ショットキー障壁の高さを調整することができる。

【0073】

【実施例8】図8は本発明の第8の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図8の構造的特徴は、従来型の埋込みゲートS1サイリスタと同等の形状の n^+ カソード領域11の周辺部分に対して、静電誘導ショットキーカソード領域を形成して、 n^+ カソード領域11とS1ショットキー短絡構造とを組み合わせ形成した点にある。即ち、図8においては n^+ カソード領域11の周辺部分にショットキー接合(7a- p^- (16))が形成されている。 p^- 層16はショットキー障壁高さの調整用であって、図7の実施例7と同様の層である。ショットキー障壁高さは p^+ 埋込み層4のゲート電位により制御性良く変化することができる。上記 p^- 層16を所定の間隔で配置して n^+ カソード領域11に対するS1ショットキー接合の相対的な短絡率を変化させてS1ショットキー短絡の効果を調整することもできる。

【0074】

【実施例9】図9は本発明の第9の実施例としての静電

誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図 9 の構造的特徴は、陽極化成法等の技術によって、 n^+ カソード領域 11 を埋込みゲート領域 4 に挟まれたチャネル領域近傍まで図示の如く三角形もしくは更に鋭角形状に形成して短チャネル化を図るとともに、カソードセグメントの n 型領域 10 の表面層にはショットキー障壁高さ調整用の p^- 層 16 を形成した点である。電子の注入は鋭角形状の n^+ カソード領域 11 の先端部分と、及び $7a-p^-$ (16) からなるショットキー接触部分とから生ずることは前述の各実施例と同様である。

【0075】

【実施例 10】図 10 は本発明の第 10 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図 10 の構造的特徴は Si サイリスタのセグメント内に n^+ カソード領域 11 が分布カソード構造として配置されるとともに、これらの分布カソード領域 11 が全体としてウエル構造の p^- 層 16 内に形成されている点である。 p^- 層 16 全体の電位が p^+ ゲート領域 4 の電位によって制御されることから、 Si ショットキー障壁高さの制御がゲート領域 4 の電位によって行なわれる。 p^- 層 16 は Si ショットキー障壁の高さの調整用としての役割があることは前述の実施例と同様である。

【0076】

【実施例 11】図 11 は本発明の第 11 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図である。図 11 の構造的特徴は、図 6 に示した実施例 6 に比べて、更に深くドライエッチングを行ない、溝の底部においてショットキーカソード電極 $7a'$ を形成してゲート領域 4 の電位によるショットキー障壁高さの制御性を更に良好にした点と、 p^+ 埋込み層 4 と n^+ カソード 11 間のエピタキシャル層を n 型層から p^- 層 17 に変更した点である。 p^- 層 17 とすることによりショットキー障壁の高さを調整するとともに、 n^+ カソード領域及び Si ショットキー接合部 ($7a'-p^-$ (17)) 11 からの電子注入量制御においてノーマリオフ特性を実現している。

【0077】

【実施例 12】図 12 は本発明の第 12 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の模式的断面構造図及び上面図である。図 12 は単位セグメント部分を表わしている。 p^+ 領域 3 はアノード領域であるため、図 12 の構造は静電誘導サイリスタに対応している。もしも領域 3 が n^+ 領域となれば静電誘導トランジスタとなる。以下サイリスタを例に説明する。図 12 において、1 は n^- 高抵抗層、4 は p^+ 埋込みゲート領域、5 はチャネル領域、 $7a$ 、 $7b$ 、 $7c$ はそれぞれカソード電極、ゲート電極、アノード電極である。10 は n 型領域であって、エピタキシャル成長

等にて形成される。11 は n^+ カソード領域であり、15 はショットキーカソード短絡領域である。本実施例 12 の構造的特徴は、カソード電極 $7a$ が n^+ カソード領域 11 のみならずショットキーカソード短絡領域 15 に対してもカソード領域 11 の周辺部においてショットキー接触していることである。 n^+ カソード領域 11 とショットキーカソード短絡領域 15 はカソード電極 $7a$ によって短絡されている。カソード電極 $7a$ の材料としては Al 、 $Al-Si$ 、 Mo 、 W 、 Pt 、 Ti 、 Ni もしくはこれらの合金層或いはシリサイド層である。カソード電極 $7a$ は n^+ カソード領域 11 に対してはオーム性接触となっているが、ショットキーカソード短絡領域 15 に対しては非オーム性接触、即ちショットキー接触となっている。 n 型領域 10 内に分布する正孔が n 型領域 10 とカソード電極 11 とのショットキー接合界面に蓄積されやすいように、 n^+ (11) と n (10) に不純物密度差が設定され更に、またショットキーカソード短絡領域 15 に吸収されやすい構造となっている。上面図から明らかなように、 n^+ カソード領域 11 はストライプ状に形成されているが、周辺部分が相対的に不純物密度の低い n 型領域 10 となっており、 n^+ (11) n (10) の分布カソード領域に対して、カソード電極 $7a$ が両者に接触して、分布カソード電極構造を形成し、更にまたカソード電極 $7a$ はショットキーカソード短絡領域 15 と n^+ カソード領域 (11) を短絡している。

【0078】上記 n 型領域 10 は、正孔が蓄積されやすい領域であればよく、 p^+ ゲート領域 4 よりは相対的に不純物密度が低い p^- 領域として形成されていてもよい。この場合にもカソード電極 $7a$ との接触はショットキー接触となる。

【0079】またショットキーカソード短絡領域 15 とゲート領域 4 間の空乏化された領域には静電誘導効果によって高さが制御される電位障壁が形成されてゲート領域 4 とショットキーカソード短絡領域 15 との導通キャリア (正孔) の流れが制御されていることも図 3 2 乃至図 3 4 のポテンシャル分布から明らかである。

【0080】即ち、ショットキーカソード短絡領域 15 は n^+ カソード領域 11 と短絡されるとともに、 n^+ カソード領域 11 で挟まれた n 型領域 10 には、 n^+ (11) n (10) 接合による拡散電位によって空乏層が広がる。この空乏層が互いにつながって、ショットキーカソード短絡領域 15 の前面には正孔に対する電位障壁が形成されている。この電位障壁高さが最も高いイントリンシックカソード点 K^* の位置は図 12 中に模式的に示されている。図 3 2 乃至図 3 4 に図示した正孔に対するポテンシャル分布からも明らかなように K^* よりも表面側に分布した正孔は効率よくショットキーカソード短絡領域 15 に吸収される。このようなショットキーカソード短絡領域 15 を積極的に導入することによって、カソード電極 $7a$ に吸収する正孔の云わばドレイン領域を形

成したことに相当する。静電誘導ショットキー短絡構造においては、ショットキー障壁の高さはゲートの電位によって静電誘導効果によって制御されるため主電極からの電子注入を引き起こすとともに、その停止も極めて効率がよい。

【0081】

【実施例13】図13は本発明の第13の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図である。図13は埋込みゲート型SIサイリスタに対応している。図13の構造的特徴は n^+ カソード領域11で n 型領域10を挟み、更に挟まれた n 型領域10内にショットキーカソード短絡領域15を形成し、カソード電極7aはこの n^+ 領域11で挟まれたショットキーカソード短絡領域15においてショットキー接触している点である。

【0082】このような分布型主電極（カソード）構造においてショットキーカソード短絡構造を導入することによって、相対的に不純物密度の低い n 型領域10内に蓄積される正孔を効率良くショットキーカソード短絡領域15からカソード電極7aに吸収することができる。上面図より明らかな如く、 n^+ カソード領域11は2本のストライプ状に形成されこのストライプに挟まれた n 型領域10内にショットキーカソード短絡領域15が形成され、カソード電極7aは n^+ （11） n （10、15） n^+ （11）領域に横断的に接触している。カソード電極7aは n^+ カソード領域（11）とはオーム性接触、 n 型領域（ショットキーカソード短絡領域15）とはショットキー接触となっている。また n 型領域10は p^+ ゲート領域4に比べて相対的に不純物密度の低い p^- 領域もしくは、 p 領域として形成されていてもよい。

【0083】

【実施例14、15】図14及び図15は本発明の第14及び第15の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図である。

【0084】図14及び図15の構造的特徴は、 n^+ カソード領域11の配置パターン及び n^+ カソード領域11で挟まれた静電誘導ショットキー短絡領域15の配置パターンにある。即ち、従来例の問題点として説明したように n^+ カソード領域11の拡散された領域直下の p^+ 埋込みゲート領域4が大きく拡がり、拡散深さにばらつきを生じ、ゲートカソード間の耐圧分布にばらつきを生ずるという問題点を解決するために、 n^+ カソード領域11を小領域に分割してセグメント内に配置し、かつ n^+ カソード領域11に挟まれた形状に静電誘導ショットキー短絡領域15を形成した点である。 n^+ カソード領域11はチャンネル領域5に対応する領域上に分割されて配置されるため単位セグメント内でのゲートカソード間の拡散ばらつきは緩和され、耐圧分布も一様とな

る。

【0085】実施例14ではストライプ状のカソード領域と組み合わせられている例であり、カソード電極7aはこのような n^+ カソード領域11と n 型領域10からなる分布カソード領域と静電誘導ショットキー短絡領域15に上面図に示す如く接触している。

【0086】図4の実施例4では n^+ カソード領域11は小領域に分割されたままであり、ストライプは入っていない。これらの n^+ カソード領域11に挟まれた形状に静電誘導ショットキー短絡領域15を形成している。カソード電極11は n^+ （11） n^- （10、15） n^+ （11） n^- （10、15）…分布カソード短絡領域に対して横断的に接触している。

【0087】実施例14、15においてもカソード電極7aと n^+ カソード領域11はオーム性接触、 n 型領域10（SIショットキーカソード短絡領域15）とは非オーム性接触即ちショットキー接触となっている。更にまた、 n 型領域10は p^- 領域もしくは p 領域として形成されていてもよい。要はこのような相対的に不純物密度の低い n 型領域がSIショットキー短絡領域15に正孔が蓄積され、カソード電極7aに吸収されやすい構造となっていればよい。

【0088】尚、静電誘導（SI）ショットキー短絡構造が実現されていることは前述の実施例1～13と同様である。即ち、SIショットキー短絡領域15は n^+ カソード領域11と短絡されるとともに、 n^+ カソード領域11で挟まれた n 型領域10には、 n^+ （11） n （10）接合による拡散電位によって空乏層が広がる。この空乏層が互いにつながって、SIショットキーカソード短絡領域15の前面には正孔に対する電位障壁が形成されている。この電位障壁高さが最も高い位置がイントリンシックカソード点 K^* であり、 K^* の位置は図14、15中に模式的に示されている。図32乃至図34に図示した正孔に対するポテンシャル分布からも明かなように K^* よりも表面側に分布した正孔は効率よくSIショットキーカソード短絡領域15に吸収される。このようなショットキーカソード短絡領域15を積極的に導入することによって、カソード電極7aに吸収する正孔の云わばドレイン領域を形成したことに相当する。更にSIショットキー短絡構造ではショットキー障壁の高さは制御領域（ゲート）の電位によって静電誘導効果によって制御される。従って、主電極（カソード、ソース）からの電子注入をショットキー接合を介して発生させることができる。またゲートに逆バイアスを印加すれば、ショットキー注入を停止させることも容易に可能である。

【0089】

【実施例16、17】図16及び図17は本発明の第16及び第17の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント

部分の模式的断面構造図である。埋込みゲート型 S I サイリスタの例であり、 n^+ カソード領域 11 は実施例 14、15 と同様に小領域に分割されまた静電誘導効果を利用するショットキー短絡領域 15 はカソード領域 11 に挟まれて配置されている。本発明の静電誘導ショットキーカソード短絡構造は短絡構造を有しない分布型主電極構造と比べても更にゲート引き抜き電荷量の低減効果があり、ターンオフ時間の内、蓄積時間 t_s と下降時間 t_f の和からなるターンオフ時間 t_{gq} が低減される構造である。しかし、サイリスタ構造特有のテイル時間 t_{tail} に対しては分布型主電極（カソード）構造だけでは低減することは難しい。従って、実施例 16 では静電誘導ショットキーカソード短絡構造とライフタイム制御とを組み合わせる実施した例に対応している。ライフタイム制御としてはプロトン照射、電子線照射、 γ 線照射等の方法もしくは重金属拡散を行なう。図 16 において (x) 印はプロトン照射の場合の望ましい欠陥領域の形成位置を示している。例えば、 p^+ アノード領域 3 の厚さを約 $5\mu m$ として、アノード面から約 $15\mu m$ の位置に形成している。 p^+ アノード領域 3 の近傍に形成することによって、電子のライフタイムを有効に制御してテイル時間の低減化を図っている。

【0090】一方、図 17 に示した実施例 17 では静電誘導ショットキーカソード短絡構造と静電誘導アノード短絡構造を組み合わせた実施例である。6 は n^+ 短絡層である。図 17 のアノード短絡構造は静電誘導効果を利用したアノード短絡構造であり S I アノードショート構造となっている。静電誘導ショットキーカソード短絡構造と S I アノードショート構造を組み合わせることによって、ターンオフ時間 t_{gq} の低減とともにテイル時間 t_{tail} を低減することができる。実施例 17 において更にライフタイム制御を実施してもよいことはもちろんである。

【0091】実施例 16、17 においてもショットキーカソード短絡領域 15 の前面には静電誘導効果によって制御可能な電位障壁が形成され、ショットキーカソード短絡領域 15 はカソード電極 7a に吸収する正孔のドレインとなっている。またショットキー障壁高さによって主電極 7a からの電子注入量が制御されている。

【0092】

【実施例 18、19、20】図 18、図 19 及び図 20 は本発明の第 18、第 19、及び第 20 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図である。実施例 18～20 はいずれも切込みゲート構造を有する S I サイリスタに対応しており、それぞれ静電誘導ショットキーカソード短絡構造に特徴を有する。

【0093】実施例 18 では図 18 から明らかな如く、 n^+ カソード領域 11 がストライプ状に形成され、カソ

ード電極 7a は n^+ (11) n (10、15) からなる分布カソード領域及び n^+ カソード領域 11 に挟まれた静電誘導ショットキーカソード短絡領域 15 に対して横断的に接触している。

【0094】実施例 19 では図 19 から明らかな如く n^+ カソード領域 11 は小領域に分割されて配置され、カソード電極 7a は n^+ (11) n (10) 分布カソード領域及び n^+ カソード領域 11 に挟まれた静電誘導ショットキーカソード短絡領域 15 に横断的に接触している。

【0095】実施例 20 では図 20 から明らかな如く、 n^+ カソード領域 11 は分割されたストライプ状に形成され、かつこれらの領域に挟まれた n 領域 10 を有し、更に n 領域 10 内にはショットキーカソード短絡領域 15 が形成され、カソード電極 7a は n^+ (11) n (10) 分布カソード領域及び n^+ (11) n^- / p^- (15) n^+ (11) S I ショットキーカソード短絡領域 (15) に対して横断的に接触している。 n^+ カソード領域 11 に挟まれた S I ショットキー短絡領域 (15) から正孔がカソード電極 7a に効率的に吸収されやすい構造となっている。また同時にカソード電極 7a からショットキー接合を介して電子が注入されやすい構造である。

【0096】実施例 18～20 はいずれも S I サイリスタを例としているが、 p^+ アノード領域 3 の代わりに n^+ ドレイン領域となれば切込みゲート構造の S I T を形成することができる。

【0097】カソード電極 7a は n^+ カソード領域 11 とはオーム性接触、S I ショットキー短絡領域 15 とは非オーム性接触即ちショットキー接触を形成している。 n 型領域 10 は p^+ ゲート領域 4 に比べて相対的に不純物密度の低い p^- 領域もしくは p 領域として形成されていてもよい。

【0098】実施例 18～20 のショットキーカソード短絡領域 15 の前面にはイントリンシックカソード点 K^* において電位障壁高さのピークが存在し、流れる正孔電流を制御している。 K^* 点より表面側の正孔は効率良くショットキーカソード短絡領域 15 に吸収される構造となっている。

【0099】

【実施例 21、22】図 21 及び図 22 は本発明の第 21 及び第 22 の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の主電極近傍の模式的断面構造図である。実施例 21 及び 22 はいずれも平面ゲート構造（プレーナゲート構造）の静電誘導型半導体素子に対応している。サイリスタもしくはトランジスタとして形成することができるが、ここではサイリスタを例として説明する。

【0100】図 21 の実施例 21 では n^+ カソード領域 11 は 2 本のストライプ状に形成されまたショットキー

カソード短絡領域15が n^+ カソード領域11に挟まれて形成されている。カソード電極7aは n^+ カソード領域11のみならず、ショットキーカソード短絡領域15に対しても接触している。即ち $n^+ (11) n^- / p^- (15) n^+ (11)$ からなる静電誘導ショットキーカソード短絡構造に対してカソード電極7aは横断的に接触している。 n^- / p^- 領域10a内に分布する正孔は主として n^+ カソード領域11で挟まれたショットキーカソード短絡領域15からカソード電極7aに吸収されやすい構造である。一方、図22の実施例22は n^+ カソード領域11は1本のストライプ状に形成され、カソード電極7aは n^+ カソード領域11のみならず周辺の n^- / p^- 領域(10a, 15)に対してもショットキー接触している。また n^+ カソード領域11内には島状に p^+ カソード短絡領域15が形成されている。図23は図22に示した実施例22の単位チャネル部分の模式的上面図である。ストライプ状の n^+ カソード領域11及び島状のショットキーカソード短絡領域15及び n^- / p^- 領域10aに対してカソード電極7aが横断的に接触している様子を示している。

【0101】

【実施例23, 24, 25】本発明の静電誘導主電極短絡構造は n^+ カソード領域11及び n^+ カソード領域に挟まれたS Iショットキーカソード短絡領域15の配置パターンによって各種の変形が可能である点は平面ゲート構造においても同様である。図24乃至図26はこのようなカソード領域11の配置の実施例を示す上面図である。即ち、図24は本発明の第23の実施例であって、プレーナ構造の単位チャネル内において n^+ カソード領域11を小領域に分割して配置し、かつ該カソード領域11内に島状にS Iショットキーカソード短絡領域15を配置している。カソード電極7aは $n^+ (11) n^- / p^- (10a)$ カソード分布構造及び $n^+ (11) n^- / p^- (15) n^+ (11)$ S Iショットキーカソード短絡構造に対して全体を覆うようにして接触した例である。図25は本発明の第24の実施例であって、同じくプレーナ構造において、複数のチャネル内に配置された n^+ カソード領域11及びその中のS Iショットキーカソード短絡領域15に対してカソード電極7aが横断的に接触するとともに、 n^+ カソード領域11の周辺部分の n^- / p^- 領域10aに対してもショットキー接触した例である。更に図26は図25よりも更にカソード電極7aのストライプ幅を広く設定し、 n^+ カソード領域11及びS Iショットキーカソード短絡領域15全体を覆うように形成した実施例25である。このように配置し、構成することによって、 n^- / p^- 領域10a内に分布する正孔の吸収効果を高めることができ、また主電極7aからのショットキー接合を介する電子注入量を静電誘導効果によって制御することができる。

【0102】図1に示した実施例1と図39に示した従来構造の比較結果を以下に述べる。均一なカソード電極構造を有する従来構造に比べ本発明の静電誘導ショットキー短絡構造によればターンオン時間 t_{gt} を低減化し、オン電圧 V_T を低減化することができるとともに、ゲートピーク電流値 I_{gp} の低減化、ターオフゲイン G_{OFF} の増大化、蓄積時間 t_s の低減化、下降時間 t_f の低減化、従ってターンオフ時間 $t_{gq} (= t_s + t_f)$ の低減化、ターンオフスイッチングエネルギー E_{OFF} (mJ/パルス)の低減化が実現される。

【0103】特にショットキーカソード短絡領域15近傍の拡散電位により生ずる電界によりゲート領域4とカソード領域11間に分布する正孔を効率良く主電極であるカソード電極7aに吸収することができるため、ゲート引き抜き電荷量 Q の低減が著しい。その分だけ、ゲート駆動回路の負担が低減され、 t 型軽量化を図ることができる。

【0104】ゲート引き抜き電荷量 Q (μC)を比較すると本発明の実施例1では、従来例に比較して約1/3以下となる。

【0105】図1に示した実施例1の構造例の素子と、図39に示した従来構造の素子に対して所定の条件にて γ 線照射を行ないライフタイム制御を実施した素子とのターンオフスイッチングを比較すると、従来構造に対して γ 線照射によるライフタイム制御を実施した場合と比較しても、本発明の静電誘導カソード短絡構造を有するS Iサイリスタはより高速化されかつ Q が小さく、低損失という優れた性能を示す。

【0106】従来例との順方向電流-電圧特性の比較を行なうと、従来例と比較して低電流域で順方向電圧降下(オン電圧) V_T はS Iショットキー短絡部からの電子注入によって、低減化され大電流域においても V_T は低くなる。従って、本発明の静電誘導ショットキー短絡構造を有するS Iサイリスタではサージ耐量が高い。

【0107】静電誘導ショットキーカソード短絡構造における n^+ カソード領域と静電誘導ショットキー短絡領域とのカソード電極による短絡率とオン電圧との関係を比較すると、短絡率を30%以下に抑えればオン電圧 V_T の急激な上昇は抑制されている。

【0108】本発明の実施例は上記実施例1~25に限定されるものではなく、様々な変形が可能である。例えば n^+ カソード領域11内にカソード電極7aとの界面部分に浅く p 領域をチャネル構造を介することなく形成してもよい。この p 領域の効果としては、 n^+ カソード領域11内に分布された正孔を吸収する点にある。この浅い p 領域は例えば $A1-Si$ のシンターリングに伴ない、数10Å程度の浅い層として形成することもできる。この構造と上記S Iショットキーカソード短絡構造を併用してもよい。本発明の実施例において n 型領域10を p^- もしくは p 領域としてもよいことを既に述べた。

が、この場合、上記の浅いp領域は上記n型領域（或いはp⁻もしくはp領域）10と接触しないようにn⁺カソード領域11によって取囲まれているか電位障壁により取囲まれていることが望ましい。

【0109】本発明の静電誘導ショットキー短絡構造はSIT、SIサイリスタのみならず、他のカソードもしくはソース構造を有する素子にも適用することができる。例えばIGBT、MOS制御サイリスタ、等においても同様に適用することができる。

【0110】更にまた上記実施例において導電型を反対にした構成も可能であることはもちろんである。

【0111】

【発明の効果】本発明の静電誘導ショットキー短絡構造を有する静電誘導型半導体素子によれば、特にサイリスタに適用すると以下のような顕著な効果を奏することができる。即ち、

【0112】①ショットキー接合における障壁高さを制御領域の電位によって制御することができるため、ショットキー接合を介して主電極からの電子注入を引き起こすことができ、従来の分布型構造に比べ、電子の注入量を多くすることができる。従って、ターンオン性能が良好となり、ターンオン遅延時間 t_d 、ターンオン立上り時間 t_r が低下し、かつオン電圧 V_T も低減化することができる。またショットキー障壁からの電子注入を遮断することもゲート電位により容易に行なうことができる。

【0113】②ターンオフ電荷量の低減化によりターンオフ時間（蓄積時間 t_s と下降時間 t_f の和）を低減化でき、ターンオフスイッチングロス E_{OFF} を低減化できる。従って、高周波PWMインバータ等の応用面において特に蓄積時間 t_s が低減化されることから、非常に使い易い素子を提供することができる。またセグメント毎に蓄積時間 t_s を低減化できることからウエーハの面内ばらつき量が低減化されウエーハを大口径化し易くなる。

【0114】③更にまた、SIショットキー短絡構造によってゲート引抜き電荷量が顕著に低減化されターンオフゲイン G_{OFF} が上昇することから、ゲート駆動回路の簡単化、小型化を図ることができ、装置全体の低価格化を図ることができる。

【0115】④高温における耐圧特性及びリーク電流はライフタイム制御を行なわない従来構造の素子と同程度であり、定常ブロッキング時において定常損失（ロス）が低いことから、ターンオフ性能が向上するにもかかわらず通常トレードオフの関係にあるオン特性を良好に保つことができる。特にオン電圧の低減化及びターンオン時間の低減化が著しい。

【0116】⑤オン電圧 V_T は正の温度特性を有するため特に高周波動作時において、熱暴走しにくい、高周波動作に適用できる。

【0117】⑥ターンオフ性能を極端にSIT並みに高速化しても点弧特性にほとんど影響しない。即ち、点弧時のゲート電圧、ゲート電流はほとんど変化が見られない。ターンオフ性能を向上させても低電流域ではターンオンスイッチングロス E_{ON} はほとんど変化しない。また高電流域でもターンオン高上り時間 t_r 及び E_{ON} が改善される傾向があり、また、遅延時間 t_d も短縮化される。高電流域でのサージ耐量が増大するという効果もある。

【0118】本発明の構造をSITに適用した場合にもサイリスタにおける利点としての上記①～⑥の効果を同様に享受することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の横断方向における模式的断面構造図

【図2】本発明の第2の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図3】本発明の第3の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図4】本発明の第4の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の横断方向における模式的断面構造図

【図5】本発明の第5の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図6】本発明の第6の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図7】本発明の第7の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図8】本発明の第8の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図9】本発明の第9の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図10】本発明の第10の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図11】本発明の第11の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

【図12】本発明の第12の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

【図13】本発明の第13の実施例としての静電誘導シ

ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

【図14】本発明の第14の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

【図15】本発明の第15の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

【図16】本発明の第16の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図

【図17】本発明の第17の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図

【図18】本発明の第18の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

【図19】本発明の第19の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

【図20】本発明の第20の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

【図21】本発明の第21の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の主電極近傍の模式的断面構造図

【図22】本発明の第22の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の主電極近傍の模式的断面構造図

【図23】図22に示した実施例22の単位チャンネル部分の模式的な上面図

【図24】本発明の第23の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の静電誘導ショットキーカソード短絡構造例

【図25】本発明の第24の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の静電誘導ショットキーカソード短絡構造例

【図26】本発明の第25の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の静電誘導ショットキーカソード短絡構造例

【図27】本発明の動作原理を説明するための模式図（分布型カソード構造と静電誘導ショットキー短絡構造の組み合わせ構造）

【図28】オン状態のキャリアの動きを示す図

【図29】蓄積期間のキャリアの動きを示す図

【図30】下降期間のキャリアの動きを示す図

【図31】テイル期間のキャリアの動きを示す図

【図32】本発明の静電誘導ショットキー短絡構造とポテンシャル分布の説明図

【図33】ターンオン動作におけるポテンシャル分布

【図34】ターンオフ動作におけるポテンシャル分布

【図35】従来のSIサイリスタの模式的断面図（従来例1）

【図36】従来のSIサイリスタの模式的断面図（従来例2）

【図37】従来のSIサイリスタの模式的断面図（従来例3）

【図38】 n^+ カソード直下の埋込み層が大きく形成される様子を示す模式図

【図39】カソード領域が一様に均一に形成された従来の埋込みゲート構造を有する静電誘導サイリスタの模式的断面構造図及び上面図

【図40】従来構造例における典型的なスイッチング（1250V-100A）（分布型カソードなし）

【図41】オン状態のキャリアの動きを示す図

【図42】蓄積期間のキャリアの動きを示す図

【図43】下降期間のキャリアの動きを示す図

【図44】テイル期間のキャリアの動きを示す図

【符号の説明】

1 n^- 高抵抗層

1a 基板

1b エピタキシャル層

3 p^+ アノード領域

4 p^+ ゲート領域

5 チャンネル領域

6 n^+ 短絡層

7a カソード電極

7b ゲート電極

7c アノード電極

7a' ショットキーカソード電極

10 n 型領域

10a n^- / p^- 領域

11 n^+ カソード領域

12 支持電極

13 p^+ 短絡層

14、14' 絶縁層

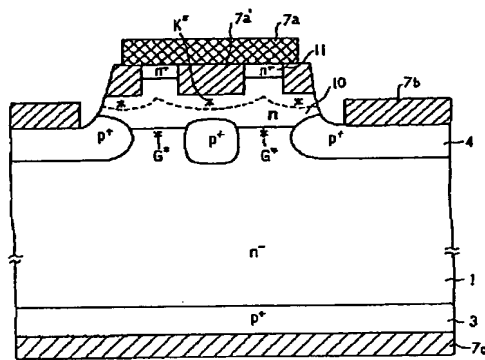
15 ショットキー（カソード）短絡領域（SIショットキーカソード短絡領域）

K* インtrinsicカソード点

G* インtrinsicゲート点

16、17 p^- 層

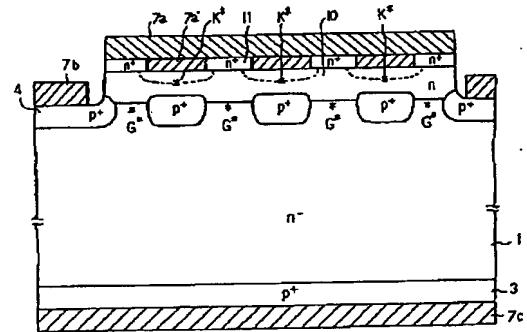
【図4】



- 1 ... n⁻ 高抵抗層
3 ... p⁺ アノード領域
4 ... p⁺ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
7d ... ショットキーカソード電極
- 10 ... n⁻ 低抵抗層
11 ... n⁺ カソード領域
K⁺ ... イントリニシックカソード点
G⁺ ... イントリニシックゲート点

本発明の第4の実施例としての静電誘導ショットキー接合構造を有する
静電誘導型半導体素子の単位セグメント部分の縦断面における模式的断面構造図

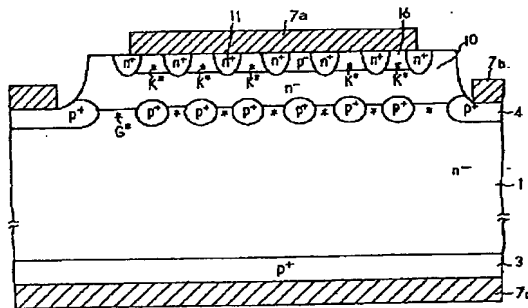
【図5】



- 1 ... n⁻ 高抵抗層
9 ... p⁺ アノード領域
4 ... p⁺ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
7d ... ショットキーカソード電極
- 10 ... n⁻ 低抵抗層
11 ... n⁺ カソード領域
K⁺ ... イントリニシックカソード点
G⁺ ... イントリニシックゲート点

本発明の第5の実施例としての静電誘導ショットキー接合構造を有する
静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

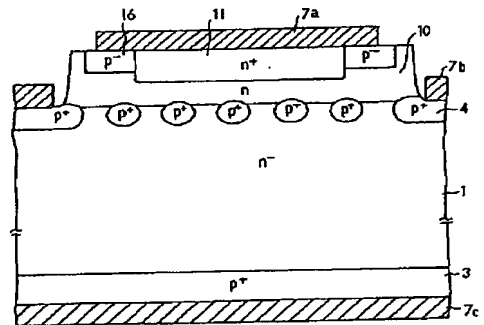
【図7】



- 1 ... n⁻ 高抵抗層
3 ... p⁺ アノード領域
4 ... p⁺ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
- 10 ... n⁻ 低抵抗層
11 ... n⁺ カソード領域
16 ... p⁺ 層
K⁺ ... イントリニシックカソード点
G⁺ ... イントリニシックゲート点

本発明の第7の実施例としての静電誘導ショットキー接合構造を有する
静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

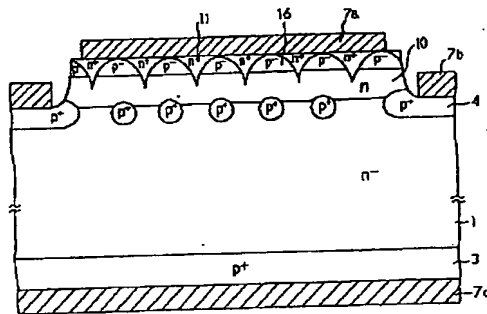
【図8】



- 1 ... n⁻ 高抵抗層
3 ... p⁺ アノード領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
11 ... n⁺ カソード領域
16 ... p⁺ 層
- 4 ... p⁺ ゲート領域
10 ... n⁻ 低抵抗層

本発明の第8の実施例としての静電誘導ショットキー接合構造を有する
静電誘導型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

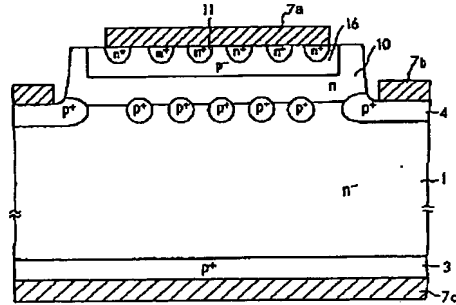
【図9】



- 1 ... n⁻ 基板層
3 ... p⁺ アノード領域
4 ... p⁺ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
11 ... n⁺ カソード領域
16 ... p⁻ 層

本発明の第9の実施例としての静電容量ショットキー短絡構造を有する
同電容量型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

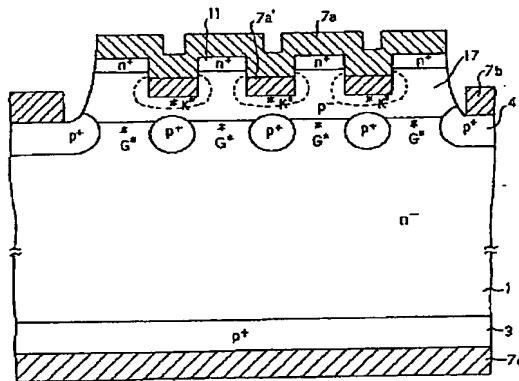
【図10】



- 1 ... n⁻ 基板層
3 ... p⁺ アノード領域
4 ... p⁺ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
10 ... n⁺ 領域
11 ... n⁺ カソード領域
16 ... p⁻ 層

本発明の第10の実施例としての静電容量ショットキー短絡構造を有する
同電容量型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

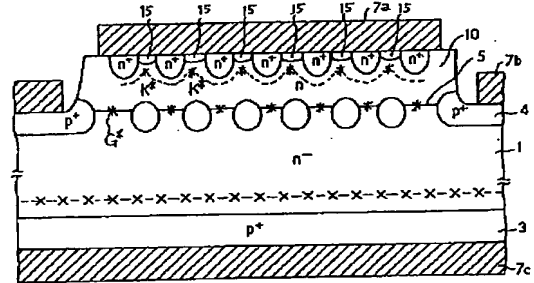
【図11】



- 1 ... n⁻ 基板層
3 ... p⁺ アノード領域
4 ... p⁺ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
11 ... n⁺ カソード領域
17 ... p⁻ 層
K⁺ ... イントリニシク(カソード)点
G⁺ ... イントリニシクゲート点
7a⁺ ... ショットキーカソード電極

本発明の第11の実施例としての静電容量ショットキー短絡構造を有する
同電容量型半導体素子の単位セグメント部分の長手方向における模式的断面構造図

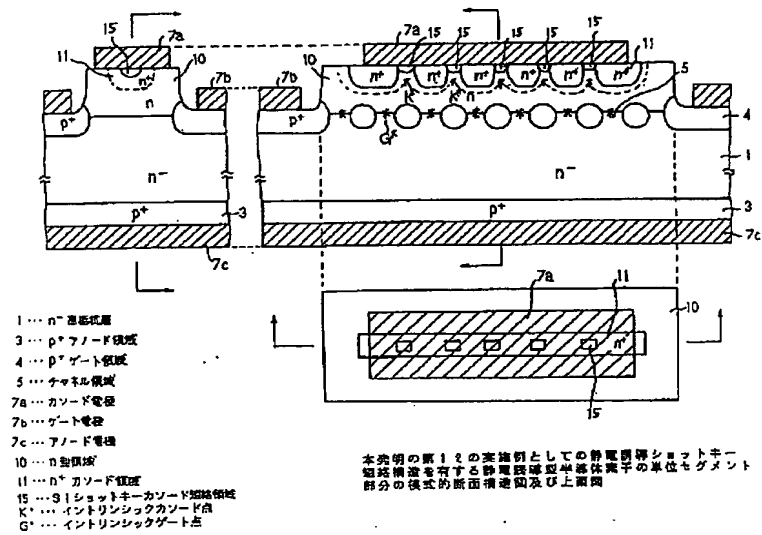
【図16】



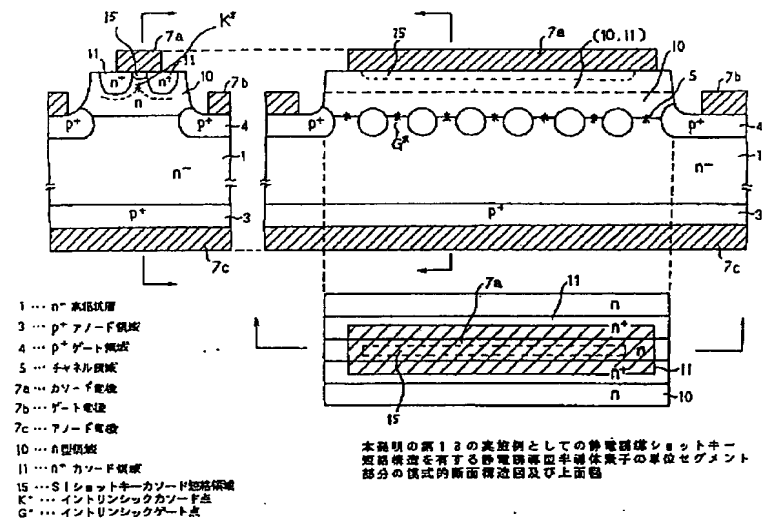
- 1 ... n⁻ 基板層
3 ... p⁺ アノード領域
5 ... チャネル領域
K⁺ ... イントリニシクカソード点
G⁺ ... イントリニシクゲート点
4 ... p⁺ ゲート領域
7a ... カソード電極
7b ... ゲート電極
7c ... アノード電極
10 ... n⁺ 領域
15 ... S1ショットキーカソード短絡領域

本発明の第16の実施例としての静電容量ショットキー短絡構造を有する同電容量型半導体素子の単位セグメント部分の模式的断面構造図

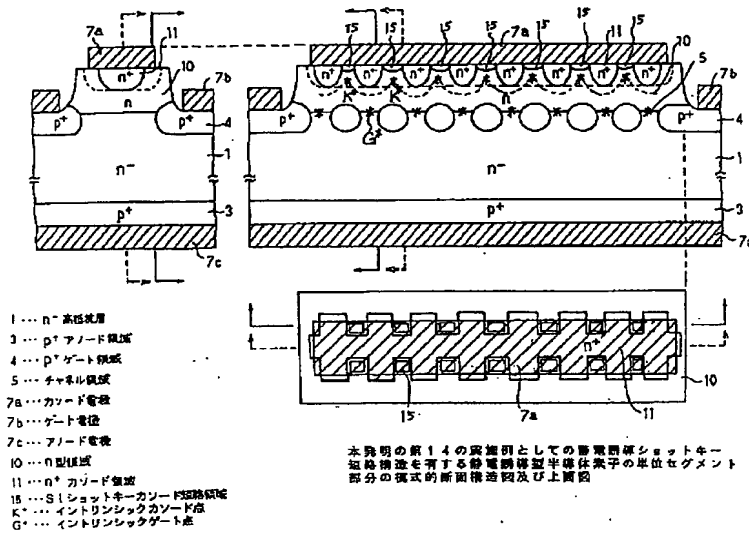
【図 12】



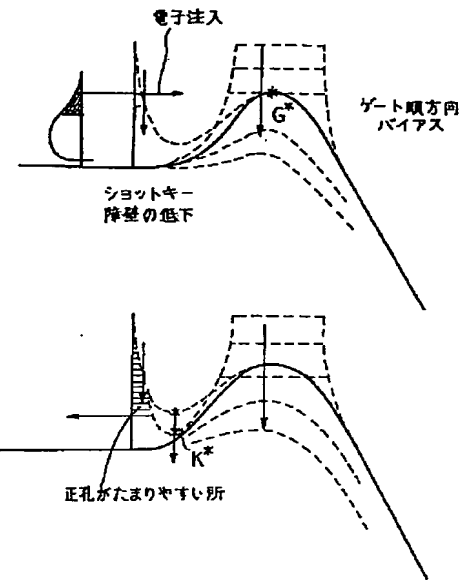
【図 13】



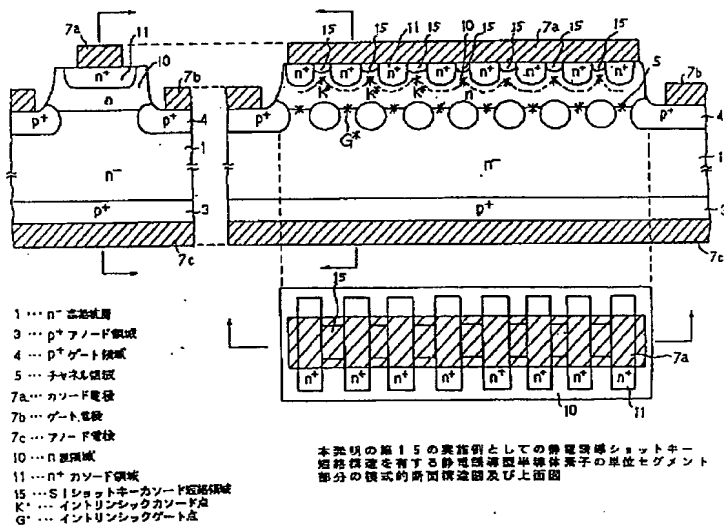
【図14】



【図33】

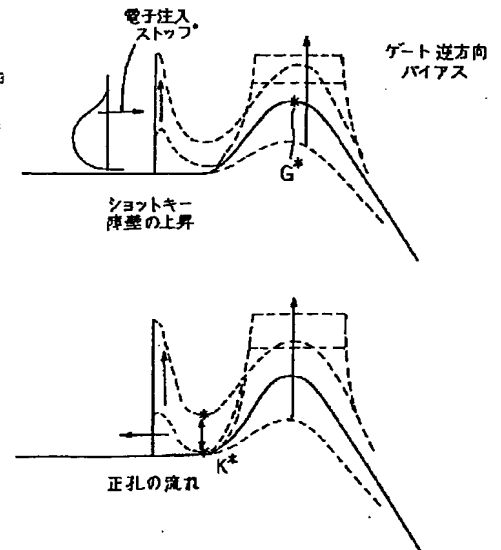


【図15】



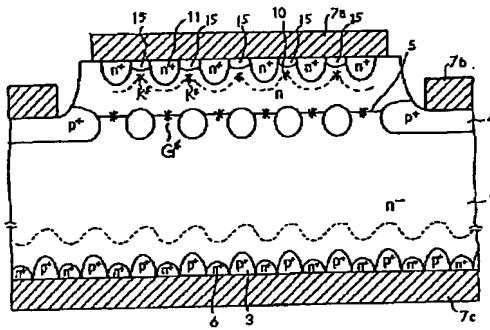
ターンオン動作におけるポテンシャル分布

【図34】



ターンオフ動作におけるポテンシャル分布

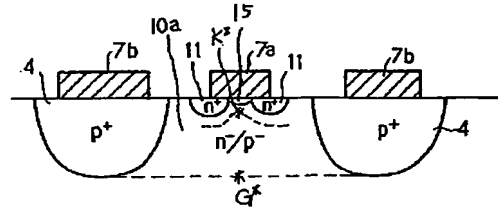
【図17】



- 1... n⁻ 高抵抗層
3... p⁺ アノード領域
4... p⁺ ゲート領域
5... チャネル領域
6... n⁺ 短絡電
K⁺... イントリンシックカソード点
G⁺... イントリンシックゲート点
- 7a... カソード電極
7b... ゲート電極
7c... アノード電極
10... n⁺ 領域
11... n⁺ カソード領域
15... S1ショットキーカソード短絡領域

本発明の第17の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図

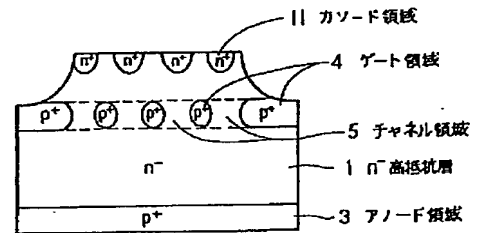
【図21】



- 4... p⁺ ゲート領域
7a... カソード電極
7b... ゲート電極
- 10a... n⁻/p⁻ 領域
11... n⁺ カソード領域
15... S1ショットキーカソード短絡領域
K⁺... イントリンシックカソード点
G⁺... イントリンシックゲート点

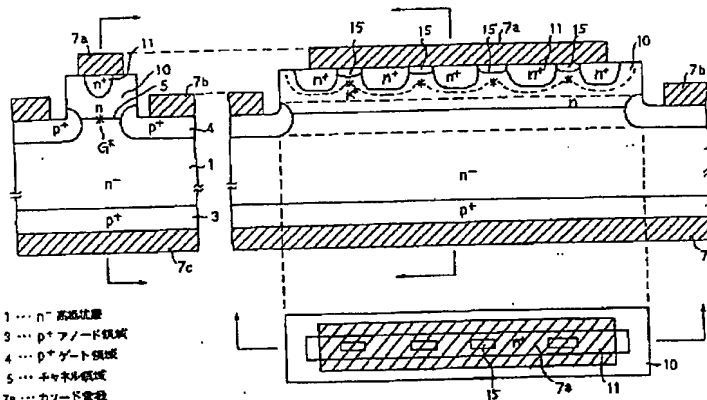
本発明の第21の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の主電極近傍の模式的断面構造図

【図35】



従来のSIサイリスタの模式的断面図(従来例1)

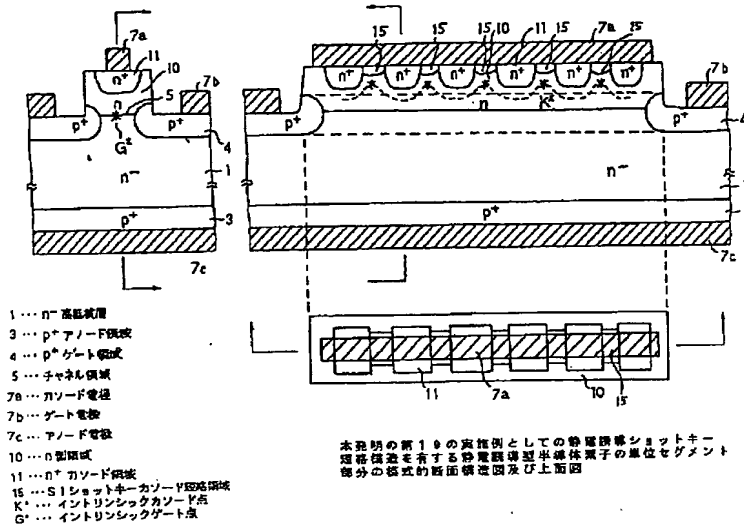
【図18】



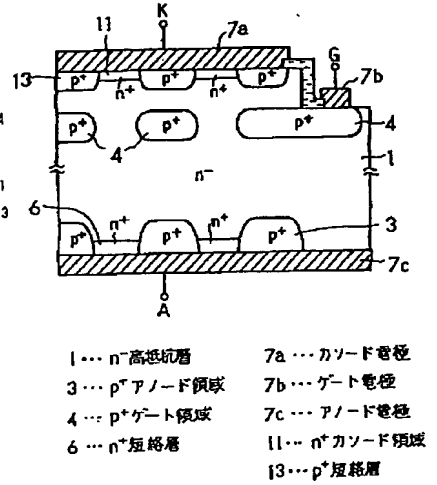
- 1... n⁻ 高抵抗層
3... p⁺ アノード領域
4... p⁺ ゲート領域
5... チャネル領域
7a... カソード電極
7b... ゲート電極
7c... アノード電極
10... n⁺ 領域
11... n⁺ カソード領域
15... S1ショットキーカソード短絡領域
K⁺... イントリンシックカソード点
G⁺... イントリンシックゲート点

本発明の第18の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の単位セグメント部分の模式的断面構造図及び上面図

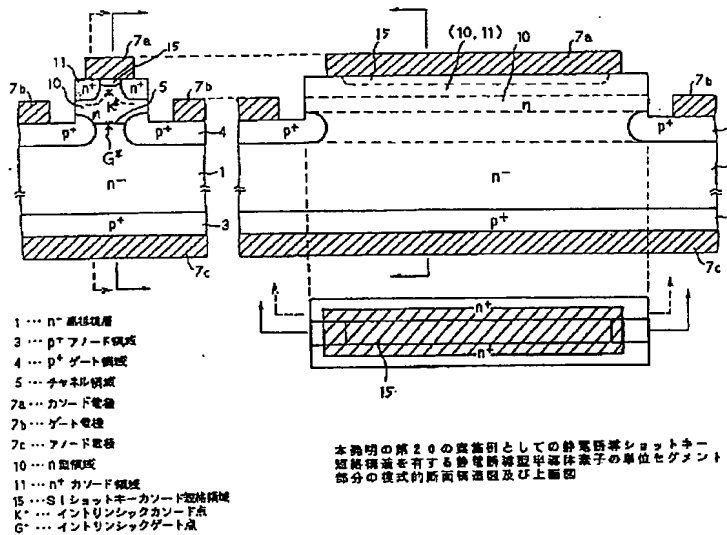
【図 19】



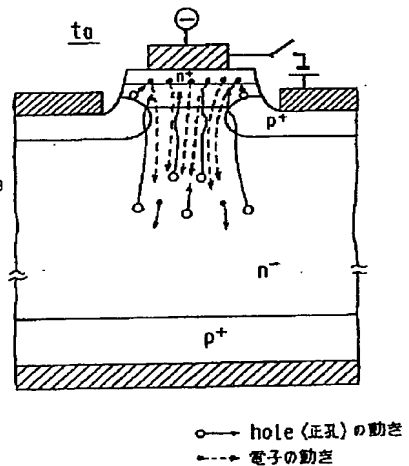
【図 36】

従来の S¹ サイリスタの模式的断面図 (従来例 2)

【図 20】

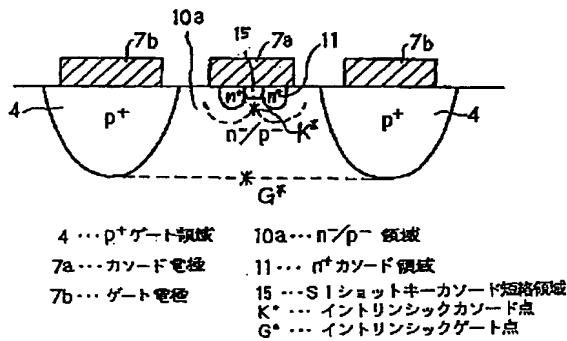


【図 41】



オン状態のキャリアの動きを示す図

【図 22】



本発明の第22の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子の主電極近傍の模式的断面構造図

【図 23】

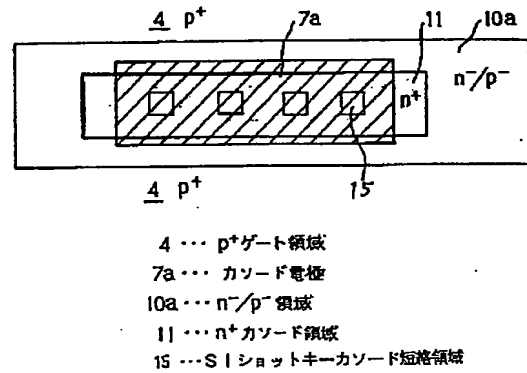
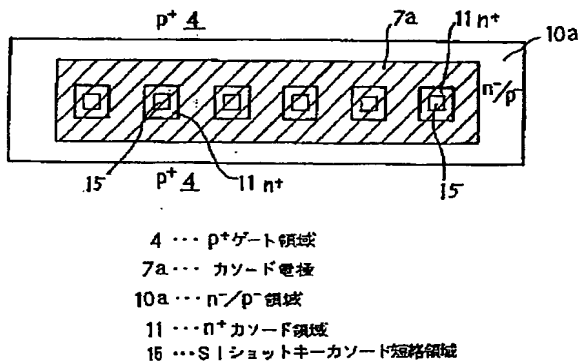


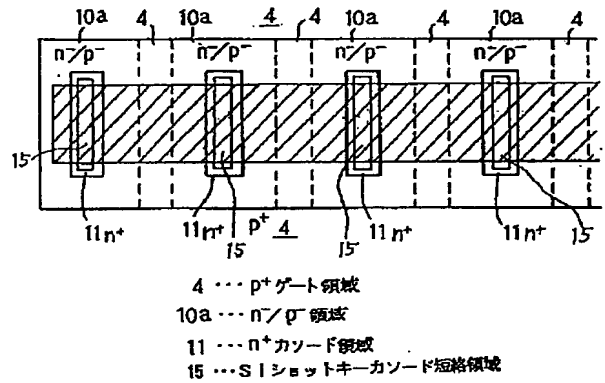
図22に示した実施例22の単位チャネル部分の模式的上面図

【図 24】



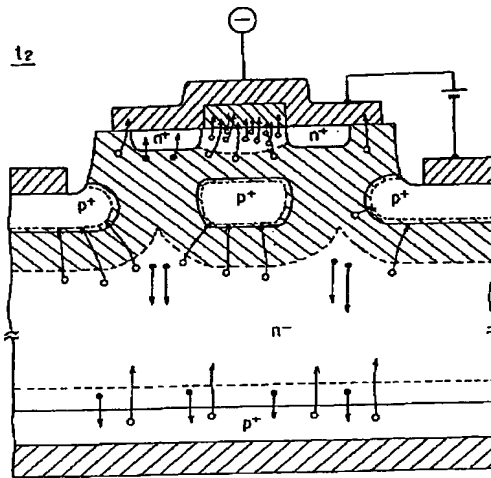
本発明の第23の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子のS1ショットキーカソード短絡構造例

【図 25】



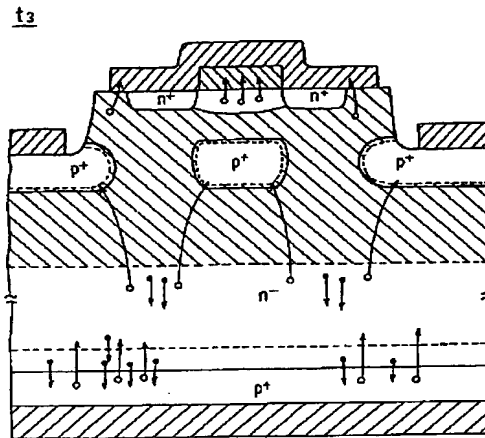
本発明の第24の実施例としての静電誘導ショットキー短絡構造を有する静電誘導型半導体素子のS1ショットキーカソード短絡構造例

【図 30】



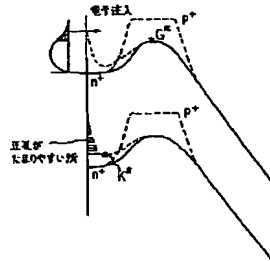
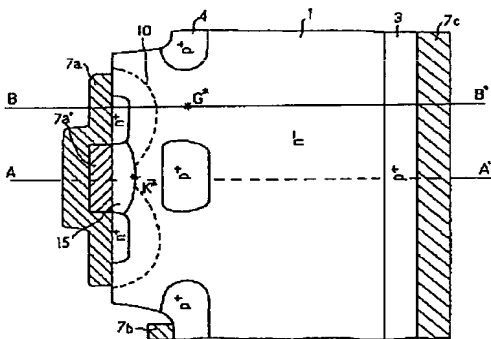
下降期間のキャリアの動きを示す図

【図 31】



テイル期間のキャリアの動きを示す図

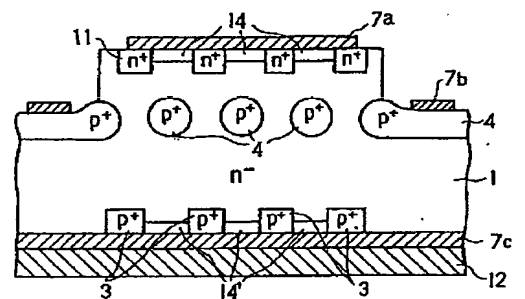
【図 32】



- K^+ ... イントリシツクカソード
 G^+ ... イントリシツクゲート点
 1... n^- 高濃度層
 3... p^+ アノード領域
 4... p^+ ゲート領域
 7a... カソード電極
 7b... ゲート電極
 7c... アノード電極
 10... n 層領域
 15... ショットキー(カソード) 短絡領域 (Siショットキーカソード 短絡領域)
 7d... ショットキーカソード電極

本発明の種電解層ショットキー短絡構造とポテンシャル分布の説明図

【図 37】



- 1... n^- 高濃度層
 3... 第2高濃度層
 4... p^+ ゲート領域
 7a... カソード
 7b... ゲート
 7c... アノード電極
 11... 第1高濃度層
 12... 支持電極
 14, 14'... 絶縁層

従来のSIサイリスタの模式的断面図(従来例3)

